

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-045746

(43)Date of publication of application : 14.02.1995

(51)Int.Cl.

H01L 23/12

H01L 23/12

(21)Application number : 05-190369

(71)Applicant : TOSHIBA LIGHTING & TECHNOL
CORP

TOSHIBA AVE CORP

(22)Date of filing : 30.07.1993

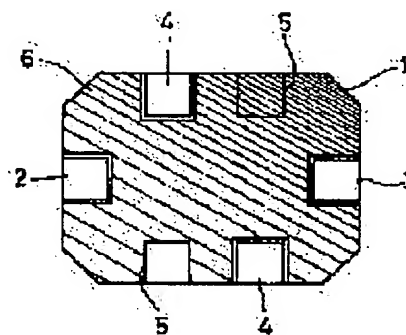
(72)Inventor : NOGAMIDA WATARU

(54) HYBRID HIGH-FREQUENCY WAVE ATTENUATOR CIRCUIT

(57)Abstract:

PURPOSE: To enable an input terminal and an output terminal to be insulated from each other so as to prevent high frequency signals from being mixed together or oscillated between the terminals by a method wherein a grounding pattern is formed between the input terminal and the output terminal provided onto the rear side of a board.

CONSTITUTION: A hybrid high-frequency wave attenuator circuit is composed of a large number of chip circuit parts mounted on the front side of a ceramic board 1, an input terminal 2 and an output terminal 3 formed on the opposed edges of the rear side of the board 1, and a power supply terminal 4 and a grounding terminal 5 formed on the other opposed edges. A grounding pattern 6 is formed on nearly all the rear side of the board 1 except the input terminal 2, the output terminal 3, and the power supply terminal 4 as shown by slant lines, and a part of the grounding pattern 6 is made to serve as a ground terminal 5. High-frequency signals of the input terminal 2 and the output terminal 3 are prevented from interfering with each other by isolation with the grounding pattern 6.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-45746

(43) 公開日 平成7年(1995)2月14日

| | | | | |
|---------------------------|------|---------|----------------|--------|
| (51) Int.Cl. ⁴ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
| H 0 1 L 23/12 | | 3 0 1 Z | H 0 1 L 23/ 12 | L E |

審査請求 未請求 請求項の数2 O L (全 3 頁)

(21) 出願番号 特願平5-190369

(22) 出願日 平成5年(1993)7月30日

(71) 出願人 000003757
東芝ライテック株式会社
東京都品川区東品川四丁目3番1号

(71) 出願人 000221029
東芝エー・ブイ・イー株式会社
東京都港区新橋3丁目3番9号

(72) 発明者 野上田 弥
東京都港区三田一丁目4番28号 東芝ライ
テック株式会社内

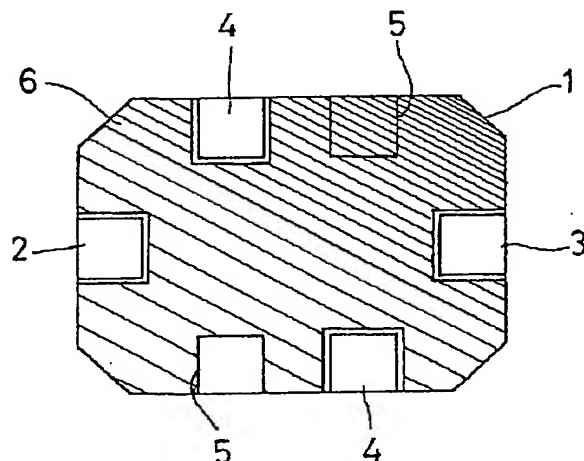
(74) 代理人 弁理士 三好 秀和 (外3名)

(54) 【発明の名称】 高周波ハイブリッドアッテネータ回路

(57) 【要約】

【目的】 アッテネータの減衰量を大きくとれるようにする。

【構成】 この発明の高周波ハイブリッドアッテネータ回路は、セラミック基板の裏面側に設けられた入力端子、出力端子、電源端子の部分を除いたほぼ全面にグラウンドパターンを形成することにより、各端子間のアイソレーションをいっそう大きくとるようにし、これによって端子間での高周波信号の混入や発振を防止し、結果として回路の減衰量をいちだんと大きくとることができるようにする。



【特許請求の範囲】

【請求項1】 セラミック基板上にチップ部品が実装された高周波ハイブリッドアッテネータ回路において、前記セラミック基板の裏面側に設けられた信号の入力端子と出力端子との間にグランドパターンを形成して成る高周波ハイブリッドアッテネータ回路。

【請求項2】 前記セラミック基板の裏面側の電源端子、入力端子および出力端子の部分を除いたほぼ全面にグランドパターンを形成して成る請求項1に記載の高周波ハイブリッドアッテネータ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、セラミック基板の上に多数のチップ部品を搭載した高周波ハイブリッドアッテネータ回路に関する。

【0002】

【従来の技術】従来一般に、セラミック基板の上に多数のチップ部品を搭載し、集積化した高周波ハイブリッドアッテネータ回路では、その裏面側にチップ部品に電源を供給する電源端子、信号を入力する入力端子、また信号を取出す出力端子を形成する場合、図3に示すように、セラミック基板1自体が5mm×6.5mm程度と非常に小さいために、入力端子2、出力端子3、電源端子4およびグランド端子5を基板1の裏面周囲に単に配列しただけのものであった。

【0003】

【発明が解決しようとする課題】ところが、このような従来の高周波ハイブリッドアッテネータ回路では、セラミック基板1が小さいものでありながら扱う信号が約10kHz以上の高周波であるために、入力端子2、出力端子3間のアイソレーションが十分にとれなくて信号にノイズが乗りやすく、また発振現象が起きやすく、大きな減衰量がとれない問題点があった。

【0004】この発明はこのような従来の問題点に鑑みてなされたもので、入力端子、出力端子間に十分なアイソレーションをとることができ、それだけ減衰量を大きくとることができる高周波ハイブリッドアッテネータ回路を提供することを目的とする。

【0005】

【課題を解決するための手段】請求項1の発明は、セラミック基板上にチップ部品が実装された高周波ハイブリッドアッテネータ回路において、セラミック基板の裏面側に設けられた信号の入力端子と出力端子との間にグランドパターンを形成したものである。

【0006】請求項2の発明は、請求項1の高周波ハイブリッドアッテネータ回路において、セラミック基板の裏面側の電源端子、入力端子および出力端子の部分を除いたほぼ全面にグランドパターンを形成したものである。

【0007】

【作用】請求項1の発明の高周波ハイブリッドアッテネータ回路では、セラミック基板の裏面側に設けられた入力端子と出力端子との間にグランドパターンを形成することにより、入力端子と出力端子との間のアイソレーションをとることができて両端子間での高周波信号の混入や発振を防止し、結果として回路の減衰量を大きくとることができるようにする。

【0008】請求項2の発明の高周波ハイブリッドアッテネータ回路では、セラミック基板の裏面側に設けられた入力端子、出力端子、電源端子の部分を除いたほぼ全面にグランドパターンを形成することにより、各端子間のアイソレーションをいっそう大きくとるようにし、これによって端子間での高周波信号の混入や発振を防止し、結果として回路の減衰量をいちだんと大きくとることができるようにする。

【0009】

【実施例】以下、この発明の実施例を図に基づいて説明する。図1は請求項1の発明の一実施例を示しており、通常、5mm×6.5mm程度の大きさのセラミック基板1の表面側に多数のチップ回路部品が高密度に搭載され、裏面側の互いに反対側の端縁部に入力端子2、出力端子3が形成され、またそれらと90°回転した位置の端縁部に電源端子4、グランド端子5が形成されている。

【0010】そして、図1において斜線で示したように入力端子2と出力端子3の間を横切るようにしてグランドパターン6が形成され、このグランドパターン6の両端部がそれぞれグランド端子5に接続されている。

【0011】以上の構成の高周波ハイブリッドアッテネータ回路は、例えば10MHz以上の高周波帯のアッテネータとして用いられるもので、入力端子2から入力される高周波信号と出力端子3から出力される高周波信号との間の相互干渉が起きないように、それらの中間位置のグランドパターン6によってアイソレーションをとることができる。したがって、両端子2、3間での高周波信号の重畳や相互の発振現象を防止することができ、その結果として、アッテネータとして回路の減衰量を大きくとることができる。

【0012】次に、請求項1、請求項2の発明の共通する実施例を図2に基づいて説明する。この図2に示す実施例の高周波ハイブリッドアッテネータ回路は、第1実施例と同じようなセラミック基板1の表面側に多数のチップ回路部品が搭載され、裏面側の互いに反対側の端縁部に入力端子2、出力端子3が形成され、またそれらと90°回転した位置の端縁部に電源端子4、グランド端子5が形成されている。

【0013】そして、図2において斜線で示したように入力端子2、出力端子3、電源端子4を除いた基板1の裏面側ほぼ全面にグランドパターン6が形成され、このグランドパターン6の一部がグランド端子5とされてい

3

る。なお、この場合、グランドパターン6の表面に絶縁のためにレジストをかけることによって、端部のグランド端子5の部分だけを露出させてある。

【0014】以上の構成の高周波ハイブリッドアッテネータ回路でも第1実施例と同じように、入力端子2から入力される高周波信号、また出力端子3から出力される高周波信号間の相互干渉が起きないように、基板1の裏面全面に形成されたグランドパターン6によって十分なアイソレーションをとることができる。したがって、両端子2、3間での高周波信号の重畳や相互の発振現象を効果的に防止することができ、その結果として、アッテネータとして回路の減衰量を第1実施例よりもさらに大きくとることができる。

【0015】

【発明の効果】以上のように請求項1の発明によれば、セラミック基板の裏面側に設けられた入力端子と出力端子との間にグランドパターンを形成しているので、入力端子と出力端子との間のアイソレーションをとることができて両端子間での高周波信号の混入や発振を防止し、結果として回路の減衰量を大きくとることができる。 *20

4

*【0016】請求項2の発明によれば、セラミック基板の裏面側に設けられた入力端子、出力端子、電源端子の部分を除いたほぼ全面にグランドパターンを形成しているので、各端子間のアイソレーションをいっそう大きくとることができ、これによって端子間での高周波信号の混入や発振を防止し、結果として回路の減衰量をいっそう大きくとることができる。

【図面の簡単な説明】

【図1】請求項1の発明の一実施例の下面図。

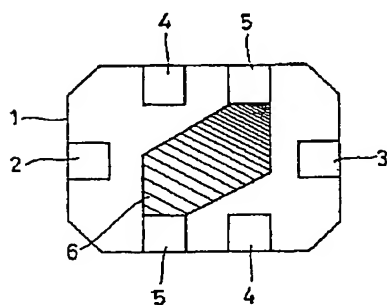
10 【図2】請求項1および請求項2の発明の共通する実施例の下面図。

【図3】従来例の下面図。

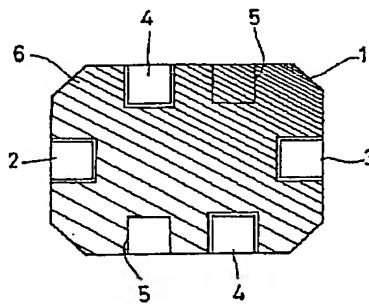
【符号の説明】

- 1 基板
- 2 入力端子
- 3 出力端子
- 4 電源端子
- 5 グランド端子
- 6 グランドパターン

【図1】



【図2】



【図3】

